

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0078659
Application Number

출원년월일 : 2002년 12월 11일
Date of Application DEC 11, 2002

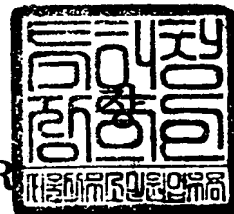
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.12.11
【발명의 명칭】	반도체 소자의 캐패시터 형성방법
【발명의 영문명칭】	Method for forming capacitor of semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	안병권
【성명의 영문표기】	AHN, Byoung Kwon
【주민등록번호】	711126-1226917
【우편번호】	142-812
【주소】	서울특별시 강북구 미아3동 307-24
【국적】	KR
【발명자】	
【성명의 국문표기】	박성훈
【성명의 영문표기】	PARK, Sung Hoon
【주민등록번호】	710820-1031120
【우편번호】	139-229
【주소】	서울특별시 노원구 중계본동 43번지 비지구 현대아파트 211동 901호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 16 항 621,000 원

【합계】 650,000 원 .

【첨부서류】 1. 위임장_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 캐패시터 형성방법을 개시한다. 개시된 본 발명의 방법은, 비트라인이 형성된 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간절연막 내에 기판과 콘택되는 콘택플러그를 형성하는 단계와, 상기 층간절연막 상에 상기 콘택플러그와 콘택되게 스토리지 전극을 형성하는 단계와, 상기 스토리지 전극 상에 단원자증착(Atomic Layer Deposition) 방법에 따라 $Ta_2O_5(X)Y_2O_{3(1-X)}$ 의 단일 합성물막으로 이루어진 유전체막을 형성하는 단계와, 상기 유전체막 상에 확산방지막을 증착하는 단계와, 상기 확산방지막 상에 플레이트 전극을 형성하는 단계를 포함한다. 본 발명에 따르면, 단원자증착법을 이용해서 $Ta_2O_5(X)Y_2O_{3(1-X)}$ 의 유전체막을 형성함으로써 누설전류의 발생없이 소자 동작을 일정하게 유지하는데 필요한 충분한 충전용량을 갖는 캐패시터를 제공할 수 있다.

【대표도】

도 1f

【명세서】**【발명의 명칭】**

반도체 소자의 캐패시터 형성방법{Method for forming capacitor of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

- | | |
|--------------|--------------|
| 1 : 반도체 기판 | 2 : 비트라인 |
| 3 : 층간절연막 | 4 : 캡핑질화막 |
| 5 : 콘택홀 | 6 : 콘택플러그 |
| 7 : 희생산화막 | 8 : 트렌치 |
| 9 : 폴리실리콘막 | 10 : 스토리지 전극 |
| 11 : 유전체막 | 12 : 확산방지막 |
| 13 : 플레이트 전극 | 20 : 캐패시터 |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로, 특히, 높은 충전용량(capacitance)을 확보할 수 있는 캐패시터 형성방법에 관한 것이다.

- <11> 반도체 소자의 고집적화가 진행되면서 셀 크기가 감소되고 있음은 주지의 사실이다. 그런데, 상기 셀 크기의 감소는 캐패시터 면적 감소를 수반하고, 상기 캐패시터 면적 감소는 충전용량의 감소로 이어지므로, 기존의 캐패시터 구조로는 소자 동작 특성을 일정하게 유지하는데 필요한 충분한 충전용량 확보에 어려움을 겪고 있다.
- <12> 이에, 현재 양산중인 고집적 소자는 셀 동작에 필요한 일정량 이상의 충전용량의 확보를 위해 스토리지 전극을 다양한 3차원 구조로 형성하거나, 유전체막의 재료로 고유전율 물질을 이용하거나, 또는, 유전체막을 최대한 얇은 두께로 형성하고 있다. 이것은 캐패시터의 충전용량이 전극 표면적 및 유전체막의 유전율에 비례하고, 그리고, 전극들 간의 간격, 즉, 유전체막의 두께에 반비례하는 것에 근거한 것이다.
- <13> 예컨대, 실린더(Cylinder), 오목(Concave) 및 핀(Pin) 구조 등 3차원 구조의 스토리지 전극은 전극 표면적의 확대를 통한 충전용량의 증대를 꾀한 것이고, Ta_2O_5 및 BST 등의 유전체막은 고유전율 물질을 이용한 충전용량의 증대를 꾀한 것이다.
- <14> 여기서, 상기 유전체막의 두께를 감소시키는 방식은 그 한계가 있으므로, 충전용량을 증대시키기 위한 연구는 전극 표면적을 확대시키거나 고유전율의 유전체막을 개발하는 방향으로 진행되고 있다.
- <15> 특별히, 상기 전극 표면적의 확대 또한 공정상의 어려움을 나타내고 있으므로, 고유전 물질을 제공하기 위한 다각적인 연구가 활발하게 진행되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

- <16> 그러나, 상기 Ta_2O_5 막은 고유전율을 갖기는 하나, 물질 특성상 그 형성이 까다로울 뿐만 아니라, CVD 방법에 따른 증착시 스토리지 전극 폴리실리콘과 반응하여 계면막을

형성하고, 그리고, 막 내의 O_2 로스(loss)가 일어남으로써, 누설전류의 원인으로 작용한다.

<17> 결국, 종래의 캐패시터 형성 기술 및 Ta_2O_5 의 단일막으로는 캐패시터 성능 저하없이 캐패시터의 충분한 충전용량을 확보함에 어려움이 있다.

<18> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 성능 저하없이 소자 동작에 필요한 충분한 충전용량을 확보할 수 있는 반도체 소자의 캐패시터 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<19> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 비트라인이 형성된 반도체 기판 상에 층간절연막을 형성하는 단계; 상기 층간절연막 내에 기판과 콘택되는 콘택플러그를 형성하는 단계; 상기 층간절연막 상에 상기 콘택플러그와 콘택되게 스토리지 전극을 형성하는 단계; 상기 스토리지 전극 상에 단원자증착(Atomic Layer Deposition) 방법에 따라 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막으로 이루어진 유전체막을 형성하는 단계; 상기 유전체막 상에 확산방지막을 증착하는 단계; 및 상기 확산방지막 상에 플레이트 전극을 형성하는 단계를 포함하는 반도체 소자의 캐패시터 형성방법을 제공한다.

<20> 여기서, 상기 유전체막을 형성하는 단계는, 단원자증착 방법으로 Ta_2O_5 박막과 Y_2O_3 박막을 교대로 소정 두께만큼 교대로 반복 증착하는 단계; 상기 교대로 반복 증착된 막을 저온 어닐링하여 단일 합성물막으로 전환시키는 단계; 상기 단일 합성물막으로 전환된 막 내에 함유된 탄소 및 불순물이 제거되도록 N_2O 플라즈마 어닐링하는 단계; 및

상기 N_2O 플라즈마 어닐링된 단일 합성물막이 결정화되도록 퍼니스 어닐링하는 단계로 구성된다.

- <21> 상기 Ta_2O_5 박막은 단원자증착 방법에 따라 반응기 내에 $Ta(OC_2H_5)_5$ 의 소오스 가스와 H_2O 의 반응 가스를 교대로 주입하여 $250\sim 350^\circ C$ 의 온도에서 10\AA 이내의 두께로 증착한다. 상기 $Ta(OC_2H_5)_5$ 의 소오스 가스 주입과 H_2O 의 반응 가스 주입 사이에 상기 가스들의 잔류물이 남지 않도록 불활성 가스를 주입한다. 상기 소오스 가스 주입과 불활성 가스 주입 및 반응 가스 주입은 각각 $0.1\sim 10$ 초 동안 수행한다.
- <22> 상기 Y_2O_3 박막은 단원자증착 방법에 따라 반응기 내에 이트륨(Yttrium)의 소오스 가스와 H_2O 의 반응 가스를 교대로 주입하여 $250\sim 350^\circ C$ 의 온도에서 5\AA 이내의 두께로 증착한다. 상기 소오스 가스 주입과 반응 가스 주입 사이에 상기 가스들의 잔류물이 남지 않도록 불활성 가스를 주입한다. 상기 소오스 가스 주입과 불활성 가스 주입 및 반응 가스 주입은 각각 $0.1\sim 10$ 초 동안 수행한다.
- <23> 상기 Ta_2O_5 및 Y_2O_3 박막의 증착시, 반응 가스로서 H_2O 대신에 O_2 또는 N_2O 가스를 주입할 수 있다. 상기 불활성 가스로서 N_2 , Ar 또는 He 가스를 주입한다.
- <24> 상기 Ta_2O_5 박막과 Y_2O_3 박막은 교대로 반복 증착하여 전체 $100\sim 200\text{\AA}$ 두께로 증착한다. 상기 Ta_2O_5 박막과 Y_2O_3 박막은 $X:(1-X)$ 의 증착비로 증착한다.
- <25> 상기 저온 어닐링은 $400\sim 550^\circ C$ 로 수행한다. 상기 N_2O 플라즈마 열처리 는 $300\sim 400^\circ C$ 의 온도에서 $60\sim 180$ 초 동안 N_2O 가스는 $10\sim 100\text{sccm}$ 으로 흘려주는 급속열처리 방식으로 수행한다. 상기 퍼니스 어닐링은 $600\sim 850^\circ C$ 의 온도에서 $5\sim 60$ 분 동안 N_2 , O_2 또는 N_2O 가스를 흘려주는 방식으로 수행한다.

<26> 상기 확산방지막은 TiN막이다.

<27> 본 발명에 따르면, 단위자증착법을 이용해서 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 유전체막을 형성함으로써 누설전류를 유발함이 없이 충분한 정전용량을 갖는 캐패시터를 제공할 수 있다.

<28> (실시예)

<29> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<30> 도 1a 내지 도 1f는 본 발명의 실시예에 따른 캐패시터 형성방법을 설명하기 위한 공정 단면도이다.

<31> 도 1a를 참조하면, 비트라인(2)을 포함한 소정의 하지층이 형성된 반도체 기판(1) 상에 층간절연막(3)을 증착한다. 상기 비트라인(2)은 표면에 하드마스크막을 구비하며, 상기 하드마스크막을 포함한 그의 측벽에 스페이서가 형성된다. 그런다음, 상기 층간절연막(3) 상에 캡핑 질화막(capping nitride : 4)을 증착한다. 이어서, 상기 캡핑 질화막(4)과 층간절연막(3)을 식각하여 기판(1)의 소정 부분, 예컨대, 트랜지스터의 접합 영역을 노출시키는 콘택홀(5)을 형성한다.

<32> 도 1b를 참조하면, 콘택홀(5)이 매립되도록 캡핑질화막(4) 상에 플러그용 도전막, 예컨대, 폴리실리콘막을 증착한다. 그런다음, 상기 폴리실리콘막을 과도 에치 백(over etch back)하여 상기 콘택홀(5) 내에 캐패시터용 콘택플러그(6)를 형성한다.

<33> 도 1c를 참조하면, 실린더 형상의 스토리지 전극을 형성하기 위해 콘택플러그(6) 및 캡핑질화막(5) 상에 5000~20000 Å의 두께로 희생산화막(7)을 증착한다. 그런다음,

상기 회생산화막(7)을 식각하여 콘택플러그(6) 및 이에 인접된 질화막 부분을 노출시키는 트렌치(8)를 형성한다. 이어서, 상기 트렌치(8) 표면 및 회생산화막(7) 상에 스토리지 전극용 도전막, 예컨대, 폴리실리콘막(9)을 증착한다.

<34> 여기서, 상기 회생산화막(7)의 증착 후에는 SiON의 반사방지막(ARC layer) 또는 하드마스크용 폴리실리콘막을 증착해줌이 바람직하다.

<35> 상기 스토리지 전극용 폴리실리콘막(9)은 온도를 500~550℃, 바람직하게 530℃로 유지하고, 압력을 0.5~1torr로 유지하는 조건하에서 증착한다. 또한, 상기 폴리실리콘막(9)은 2단계로 나누어 증착하며, 1단계는 SiH₄ 가스와 PH₃ 가스를 각각 800~1200sccm 및 150~250sccm 정도 흘려주어 도핑된 폴리실리콘막으로 증착하고, 2단계는 PH₃ 가스를 흘려주지 않은채로 SiH₄ 가스를 800~1200sccm 정도 흘려주어 비도핑된 폴리실리콘막을 증착한다. 상기 도핑된 폴리실리콘막은 100~300Å 두께로 증착하며, 상기 비도핑된 폴리실리콘막은 100~500Å 두께로 증착한다.

<36> 도 1d를 참조하면, 트렌치(8)를 매립하도록 폴리실리콘막 상에 감광막(도시안됨)을 도포한다. 그런다음, 회생산화막이 노출되도록 상기 감광막 및 폴리실리콘막을 에치백한다. 이어서, 잔류된 감광막과 회생산화막을 제거하여 실린더 구조의 스토리지 전극(10)을 형성한다.

<37> 여기서, 상기 스토리지 전극(10)은 실린더 구조로 형성하였지만, 핀 구조 등의 3차원 구조로도 형성 가능하다. 또한, 상기 스토리지 전극(10)은 충전용량의 보다 큰 증대를 위해 표면에 반구형 실리콘이 형성될 수 있다. 게다가, 상기 스토리지 전극(10)은 폴리실리콘이 아닌 금속으로도 형성 가능하다.

- <38> 도 1e를 참조하면, 단원자증착(Atomic Layer Deposition : 이하, ALD) 방법으로 스토리지 전극(10)을 포함한 기판 결과물 상에 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막 (composite film)로 이루어진 유전체막(11)을 형성한다.
- <39> 자세하게, 상기 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 합성물막 형성방법은 다음과 같다.
- <40> 먼저, 반응기 내에 $Ta(OC_2H_5)_5$ 의 소오스 가스와 HO_2 의 반응 가스를 교대로 주입하여 $250\sim 350^\circ C$ 의 온도에서 Ta_2O_5 박막을 10\AA 이내의 두께로 증착한다. 여기서, ALD 방법에 따르면, 소오스 가스의 주입과 N_2 , Ar 또는 He 등의 불활성 가스 주입, 및 H_2O 가스 주입을 1 사이클로 할 때, 사이클당 Ta_2O_5 박막의 증착 두께가 1\AA 이하가 되며, 따라서, 사이클 수에 따라 10\AA 이하 두께의 Ta_2O_5 박막 증착이 가능하다. 이때, 상기 $Ta(OC_2H_5)_5$ 의 소오스 가스 주입과 HO_2 의 반응 가스 주입 사이에 상기 불활성 가스를 흘려주는 것은 상기 가스들의 잔류물이 남지 않도록 하기 위함이다. 상기 소오스 가스와 반응 가스 및 불활성 가스의 주입시간은 바람직하게 모두 $0.1\sim 10$ 초 정도로 한다.
- <41> 그런다음, 반응기 내에 이트륨(Yttrium)의 소오스 가스와 H_2O 의 반응 가스를 교대로 주입하여 $250\sim 350^\circ C$ 의 온도에서 5\AA 이내의 두께로 Y_2O_3 박막을 증착한다. 여기서, ALD 방법에 따르면, 이트륨 소오스 가스 주입과 불활성 가스 주입, 및 H_2O 가스 주입을 1 사이클로 할 때, 사이클당 Y_2O_3 박막의 증착 두께가 1\AA 이하가 되며, 따라서, 사이클 수에 따라 10\AA 이하 두께의 Y_2O_3 박막 증착이 가능하다. 상기 이트륨의 소오스 가스와 H_2O 의 반응 가스 및 전술한 불활성 가스의 주입시간은 각각 $0.1\sim 10$ 초 정도로 한다.
- <42> 상기에서, Ta_2O_5 박막과 Y_2O_3 박막의 증착시, 반응 가스로서 H_2O 대신에 O_2 또는 N_2O 가스의 사용도 가능하다.

- <43> 이어서, 전술한 방법들에 따라 Ta_2O_5 박막과 Y_2O_3 박막을 교대로 반복해서 100~200 Å 두께로 증착한다. 이때, 상기 Ta_2O_5 박막과 Y_2O_3 박막의 증착비는 캐패시터의 전기적 특성을 최적화시킬 수 있는 비율($X:1-X$)로 조절함이 바람직하며, 예컨데, 막 전체로 볼 때 80:20 정도로 조절한다.
- <44> 다음으로, 상기 Ta_2O_5 과 Y_2O_3 가 교대로 반복 증착된 막을 400~550°C에서 저온 어닐링하여 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물(composite film)막으로 전환시킨다. 이때, 얇은 막이 교대로 반복 증착되어 있으므로, 낮은 온도에서도 충분히 단일 합성물막으로 전환될 수 있다.
- <45> 그 다음, $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막에 대해 N_2O 플라즈마 어닐링을 행하여 막 내에 함유된 탄소 및 불순물을 제거한다. 이때, 상기 N_2O 플라즈마 어닐링은 급속 열처리(Rapid Thermal Annealing) 방식으로 수행하며, 온도는 300~400°C로 유지하고, 어닐링 시간은 60~180초 정도로 하며, N_2O 가스는 10~100sccm 정도 흘려준다.
- <46> 그리고나서, N_2O 플라즈마 어닐링된 단일 합성물막이 결정화되도록 퍼니스 어닐링을 행하고, 이 결과로서, 최종적으로 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막으로 이루어진 유전체막(11)을 형성한다. 상기 퍼니스 어닐링은 600~850°C의 온도에서 N_2 , O_2 또는 N_2O 가스를 흘려주면서 5~60분 동안 수행한다.
- <47> 도 1f를 참조하면, $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막으로 이루어진 유전체막(11) 상에 막 내의 산소(oxygen) 확산에 의한 플레이트 폴리와의 계면반응이 일어나는 것을 방지하기 위해 TiN의 확산방지막(12)을 형성한다. 그런다음, 상기 확산방지막(12) 상에 플레이트 전극용 도전막, 예컨데, 폴리실리콘막을 증착한다. 이어서, 상기 폴리실리콘막



을 패터닝하여 플레이트 전극(13)을 형성하고, 이 결과로서, $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막으로 이루어진 유전체막(11)을 갖는 본 발명의 캐패시터(20)를 완성한다.

<48> 전술한 본 발명의 캐패시터(20)는 고유전 물질인 Ta_2O_5 과 Y_2O_3 의 단일 합성물로 이루어진 유전체막을 구비하므로, ONO막이 적용된 전형적인 캐패시터에 비해 소자의 고집적화에 대응해서 안정적인 소자 동작에 필요한 충분한 충전용량을 확보할 수 있다.

<49> 또한, 상기 Ta_2O_5 와 Y_2O_3 는 ALD 방법에 따라 $250\sim 350^\circ C$ 정도의 비교적 낮은 온도에서 증착되기 때문에 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 유전체막(11)은 스토리지 전극과의 계면에서 계면막의 형성을 최소화할 수 있고, 그래서, 누설전류 또한 유발하지 않게 된다.

【발명의 효과】

<50> 이상에서와 같이, 본 발명은 유전체막으로서 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막을 적용함으로써, 반도체 소자의 고집적화에 대응하여 안정적인 소자 동작에 필요한 충분한 충전용량을 갖는 캐패시터를 제공할 수 있다.

<51> 또한, 상기 $Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막을 형성함에 있어서 스토리지 전극 폴리과 $Ta_2O_5(X)Y_2O_3(1-X)$ 간의 계면반응을 최소화시킴으로써 누설전류를 유발함이 없는 우수한 특성의 캐패시터를 제공할 수 있다.

<52> 기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

비트라인이 형성된 반도체 기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막 내에 기판과 접촉되는 콘택플러그를 형성하는 단계;

상기 층간절연막 상에 상기 콘택플러그와 접촉되게 스토리지 전극을 형성하는 단계

;

상기 스토리지 전극 상에 단원자증착(Atomic Layer Deposition) 방법에 따라

$Ta_2O_5(X)Y_2O_3(1-X)$ 의 단일 합성물막으로 이루어진 유전체막을 형성하는 단계;

상기 유전체막 상에 확산방지막을 증착하는 단계; 및

상기 확산방지막 상에 플레이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 유전체막을 형성하는 단계는

단원자증착 방법으로 Ta_2O_5 박막과 Y_2O_3 박막을 소정 두께만큼 교대로 반복 증착하는 단계;

상기 교대로 반복 증착된 막을 저온 어닐링하여 단일 합성물막으로 전환시키는 단계;

상기 단일 합성물막으로 전환된 막 내에 함유된 탄소 및 불순물이 제거되도록 N_2O 플라즈마 어닐링하는 단계; 및



상기 N_2O 플라즈마 어닐링된 단일 합성물막이 결정화되도록 퍼니스 어닐링하는 단계로 구성되는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 3】

제 2 항에 있어서, 상기 Ta_2O_5 박막은 단원자증착 방법에 따라 반응기 내에 $Ta(OC_2H_5)_5$ 의 소오스 가스와 H_2O 의 반응 가스를 교대로 주입하여 $250 \sim 350^\circ C$ 의 온도에서 10 \AA 이내의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 4】

제 3 항에 있어서, 상기 $Ta(OC_2H_5)_5$ 의 소오스 가스 주입과 H_2O 의 반응 가스 주입 사이에 상기 가스들의 잔류물이 남지 않도록 불활성 가스를 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 5】

제 3 항 또는 제 4 항에 있어서, 상기 소오스 가스 주입과 불활성 가스 주입 및 반응 가스 주입은 각각 $0.1 \sim 10$ 초 동안 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 6】

제 2 항에 있어서, 상기 Y_2O_3 박막은 단원자증착 방법에 따라 반응기 내에 이트륨 (Yttrium)의 소오스 가스와 H_2O 의 반응 가스를 교대로 주입하여 $250 \sim 350^\circ C$ 의 온도에서 5 \AA 이내의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

**【청구항 7】**

제 6 항에 있어서, 상기 소오스 가스 주입과 반응 가스 주입 사이에 상기 가스들의 잔류물이 남지 않도록 불활성 가스를 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 8】

제 6 항 또는 제 7 항에 있어서, 상기 소오스 가스 주입과 불활성 가스 주입 및 반응 가스 주입은 각각 0.1~10초 동안 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 9】

제 3 항 또는 제 6 항에 있어서, 상기 반응 가스로서 H_2O 대신에 O_2 또는 N_2O 가스를 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 10】

제 4 항 또는 제 7 항에 있어서, 상기 불활성 가스로서 N_2 , Ar 및 He로 구성된 그룹으로부터 선택되는 어느 하나의 가스를 주입하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 11】

제 2 항에 있어서, 상기 Ta_2O_5 박막과 Y_2O_3 박막은 교대로 증착하여 전체 100~200 Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 12】

제 2 항에 있어서, 상기 Ta_2O_5 박막과 Y_2O_3 박막은 $X:(1-X)$ 의 증착비로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 13】

제 2 항에 있어서, 상기 저온 어닐링은 $400\sim 550^\circ C$ 로 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 14】

제 2 항에 있어서, 상기 N_2O 플라즈마 열처리는 $300\sim 400^\circ C$ 의 온도에서 60~180초 동안 N_2O 가스는 10~100sccm으로 흘려주는 급속열처리 방식으로 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 15】

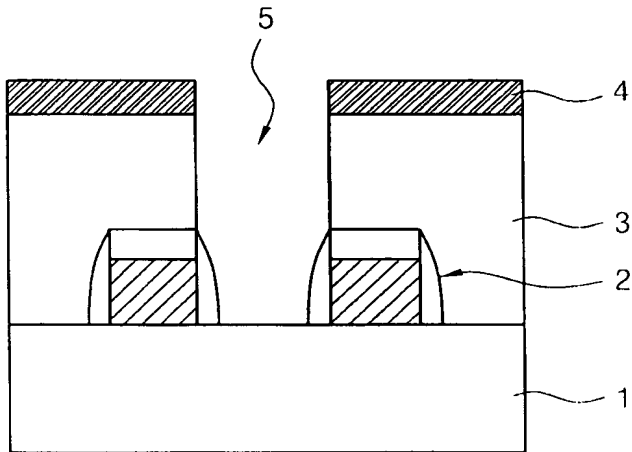
제 2 항에 있어서, 상기 퍼니스 어닐링은 $600\sim 850^\circ C$ 의 온도에서 5~60분 동안 N_2 , O_2 및 N_2O 가스로 구성된 그룹으로부터 선택되는 어느 하나의 가스를 흘려주는 방식으로 수행하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【청구항 16】

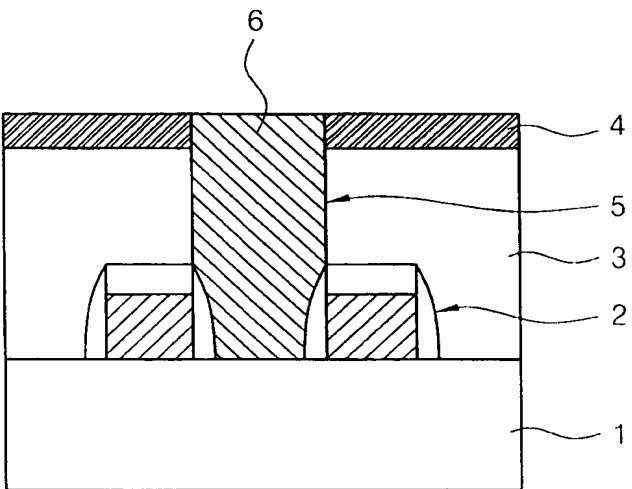
제 1 항에 있어서, 상기 확산방지막은 TiN막인 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

【도면】

【도 1a】



【도 1b】

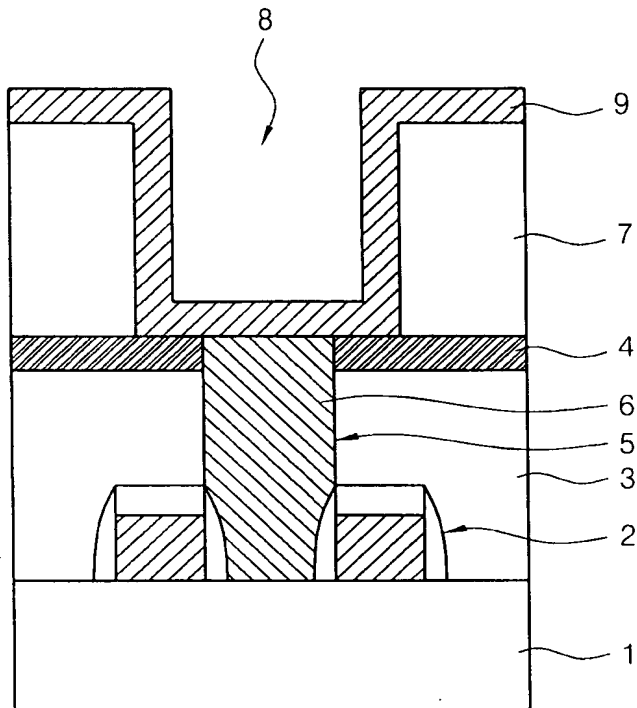




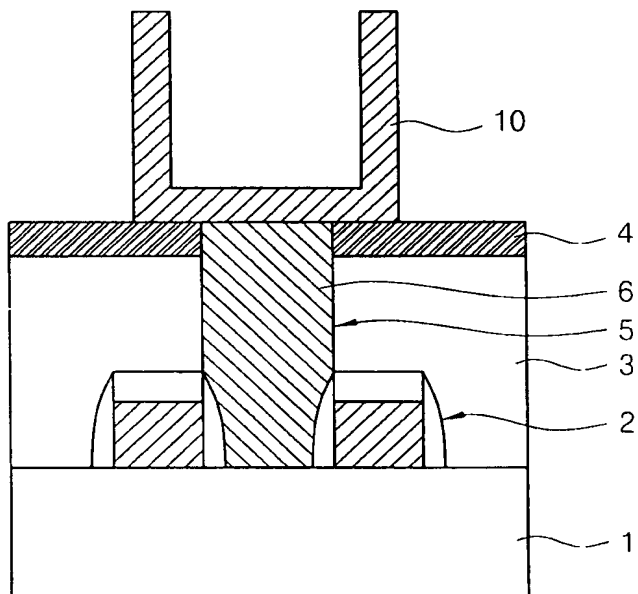
1020020078659

출력 일자: 2003/5/30

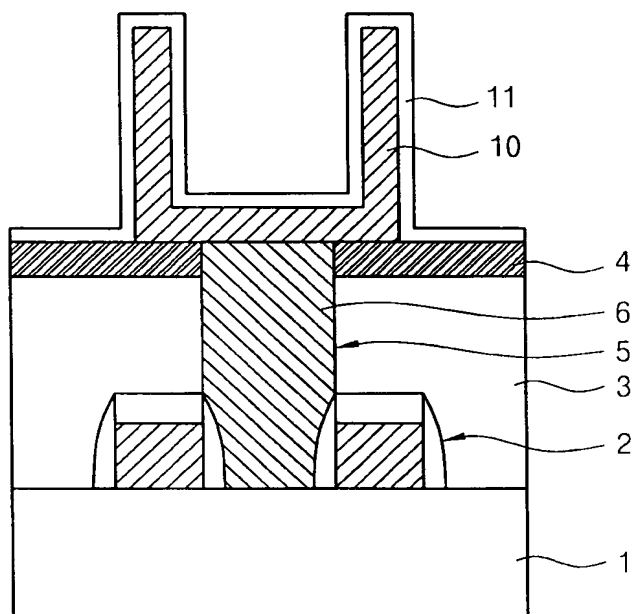
【도 1c】



【도 1d】



【도 1e】



【도 1f】

